

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

Jc511 U.S. PRO
09/120117
07/22/98

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。 #2

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日
Date of Application: 1998年 1月 19日

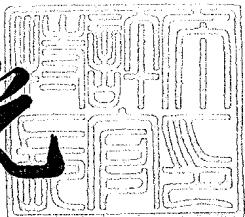
出願番号
Application Number: 平成10年特許願第007771号

出願人
Applicant(s): 富士通株式会社

1998年 4月 24日

特許庁長官
Commissioner,
Patent Office

荒井寿光



出証番号 出証特平10-3031461

【書類名】 特許願

【整理番号】 9705403

【提出日】 平成10年 1月19日

【あて先】 特許庁長官 荒井 寿光 殿

【国際特許分類】 H01L 23/14

【発明の名称】 集積回路装置モジュール

【請求項の数】 9

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通
株式会社内

【氏名】 目沢 勉

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100094525

【弁理士】

【氏名又は名称】 土井 健二

【代理人】

【識別番号】 100094514

【弁理士】

【氏名又は名称】 林 恒▲徳▼

【手数料の表示】

【予納台帳番号】 041380

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

特平10-007771

【包括委任状番号】 9704944

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 集積回路装置モジュール

【特許請求の範囲】

【請求項1】 マザーボード上に複数の集積回路装置が搭載される集積回路装置モジュールにおいて、

前記複数の集積回路が複数の群に分けられ、

前記マザーボードに設けられ、共通の分岐ノードからそれぞれの先端部まで延びて、前記集積回路装置の群それぞれに対して共通の信号を供給する複数の分岐信号線を有し、

前記複数の分岐信号線は、前記分岐ノードから先端部まで第1の距離を有する第1の分岐信号線と、前記分岐ノードから先端部まで前記第1の距離よりも短い第2の分岐信号線とを有し、前記第1の分岐信号線の単位長当たりのインダクタンスが前記第2の分岐信号線の単位長当たりのインダクタンスよりも小さいことを特徴とする集積回路装置モジュール。

【請求項2】 請求項1において、

前記第1の分岐信号線の線幅が、前記第2の分岐信号線の線幅よりも太いことを特徴とする集積回路装置モジュール。

【請求項3】 請求項1において、

前記マザーボードは、前記分岐信号線に絶縁膜を介して対向する位置に形成された電源配線層を有し、前記第1の分岐信号線の対向する該電源配線層の単位長さ当たりの対向面積が、前記第2の分岐信号線の対向面積よりも大きいことを特徴とする集積回路装置モジュール。

【請求項4】 請求項1において、

前記マザーボードは、前記分岐信号線に絶縁膜を介して対向する位置に形成された電源配線層を有し、前記第2の分岐信号線に対向する領域において、前記電源配線層が除去されていることを特徴とする集積回路装置モジュール。

【請求項5】 請求項1において、

前記第2の分岐信号線の少なくとも一部がニッケル又はそれ以外の強磁性体物質を含む材料を有することを特徴とする集積回路装置モジュール

【請求項6】請求項1～5において、

前記マザーボードは、更に前記共通の信号を出力するドライブデバイスを搭載し、前記ドライブデバイスが前記共通のノードに前記共通の信号を出力することを特徴とする集積回路装置モジュール。

【請求項7】マザーボード上に複数の集積回路装置が搭載される集積回路装置モジュールにおいて、

前記複数の集積回路が複数の群に分けられ、

前記マザーボードに設けられ、共通の分岐ノードからそれぞれの先端部まで延びて、集積回路装置の群それぞれに対して共通の信号を供給する複数の分岐信号線を有し、

前記複数の分岐信号線は、前記分岐ノードから先端部まで第1の距離を有する第1の分岐信号線と、前記分岐ノードから先端部まで前記第1の距離よりも短い第2の分岐信号線とを有し、前記第1及び第2の分岐信号線の先端部が接続されて信号線ループを構成してなることを特徴とする集積回路装置モジュール。

【請求項8】請求項7において、

前記信号線ループを複数有し、それら複数の信号線ループの長さがほぼ同じであることを特徴とする集積回路装置モジュール。

【請求項9】請求項7または8において、

前記マザーボードは、更に前記信号を出力するドライブデバイスを搭載し、前記ドライブデバイスが前記共通のノードに前記信号を出力することを特徴とする集積回路装置モジュール。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、メモリ等の複数の集積回路装置を搭載した集積回路装置モジュールに関し、特に複数の集積回路装置に並列に信号を供給する信号線上のリンクギングを防止する新規な構成に関する。

【0002】

【従来の技術】

半導体メモリモジュール等、複数の集積回路装置を1枚の基板上に搭載してより大規模なモジュール構成にして、マザーボード上に搭載されることがしばしば行われる。かかる集積回路モジュールは、搭載されている複数の集積回路装置に対して、例えば、アドレス信号や、コントロール信号や、クロック等の共通信号が、基板上に形成され分岐された信号線を介して供給される。

【0003】

図1は、その一例である半導体メモリモジュールの平面図と一部信号線を示す図である。マザーボード10の表面に、ドライバデバイス12と9つの半導体メモリデバイス14～30が搭載されている。また、図示しないが、マザーボード10の裏面に、同様に9個の半導体メモリデバイスが搭載されている。そして、マザーボード10の外部端子32が、メインのマザーボードのコネクタに接続される。

【0004】

メモリデバイス14～30に対して、例えばアドレス信号が、ドライバ12の出力端子N1から共通信号線36及び分岐ノードN3で表面側の分岐信号線38, 40と裏面側の分岐信号線42, 44を介して、4つの群に分けられた合計18個のメモリデバイスに供給される。出力端子N1と共通信号線36の一端N2との間に、ダンピング抵抗R1が接続される。また、ノードN3から4方向に分岐した分岐信号線38, 40, 42, 44には、メモリデバイスそれぞれの対応する入力端子が接続される。

【0005】

図1の例では、マザーボード10の長手方向に、複数のメモリデバイス等の集積回路装置14～30が搭載されている。また、マザーボード10の裏面には、それらと同様の位置関係に、別の9個の集積回路装置が搭載されている。従って、ドライバ装置12を長手方向の中央部に搭載し、そこからの供給信号を、長手方向の中央部に配置した供給信号線36及び分岐ノードN3から、上下の長手方向に配した分岐信号線38, 40, 42, 44に与えている。こうすることにより、できるだけ全てのメモリデバイスに対して、供給信号をシンメトリに供給できるようにする。

【0006】

上記のダンピング抵抗R1は、分岐信号線38～44の先端N4, N5, N6, N7での伝搬信号の反射信号を考慮して設けられる。即ち、ドライバ12の出力端子N1でのフルスイングの供給信号の振幅を、ダンピング抵抗R1を設けることにより半分の振幅にし、分岐信号線38～44の先端部N4～N7での反射信号の重畠により、最終的に、分岐信号線上の電位がフルスイングの電位にされる。即ち、供給信号は、出力端子N1、ノードN2、分岐ノードN3を経て、それぞれの分岐信号線38～44を伝搬する。そして、それぞれの分岐信号線の先端部N4～N7で反射し、それぞれの分岐信号線を経由して再度ノードN3に戻ってくる。

【0007】

【発明が解決しようとする課題】

しかしながら、図1から明らかな通り、必ずしも分岐信号線38～44の長さは等しくない。これは、マザーボード10上に搭載されるメモリデバイス等の集積回路装置14～30の方向が同じであるため、それぞれの対応する外部端子の位置関係が、図1に示される通りマザーボードの上下で逆になるからである。その結果、マザーボード10の表面側でいえば、ノードN3からそれぞれの先端部N4、N5までの距離が異なり、先端部に位置する集積回路装置に到達する信号に時間差（スキー）が発生する。この先端部に達した供給信号は、先端部で反射して反対側の先端部N4, N5にそれぞれ伝搬する。その結果、本来の供給信号にスキーを持つ反射信号が重畠され、その位相差を持つ反射信号同士の干渉により、リンクギングと呼ばれる振動波形が発生することが見いだされた。

【0008】

図2は、図1のモジュールにおける各ノードN1～N5でのシミュレーションによる信号波形を示す図である。また、図3は、図2の最初の4nsecの期間を時間軸に関して拡大した信号波形を示す図である。図2の信号波形に示される通り、ドライバデバイス12の出力端子N1では、短時間で立ち上がり、短時間で立ち下がる振幅3Vのパルス信号である。それに対して、ノードN2は、ダンピング抵抗R1によりその立ち上がりの傾きが1/2になっている。

【0009】

ノードN2は、ダンピング抵抗R2の存在により、出力端子N1の立ち上がりの傾きの半分の傾きで半分の振幅1.5Vまで立ち上がる。図1のモジュールは、供給信号の往復伝搬時間よりも立ち上がり時間のほうが短くなるように設計されているので、ノードN2の電位は、一端1.5Vで静止する。その後、先端部N4, N5からの反射信号が重畠されて、ノードN2の電位は更に3Vまで上昇する。供給信号の立ち下がりも、上記の立ち上がりと同様に、出力端子N1での3Vの立ち下がりに対して、ノードN2では、ダンピング抵抗R1により、一端1.5Vまで立ち下がってから、先端部N4, N5での反射信号の重畠により、0Vまで立ち下がる。

【0010】

分岐ノードN3から先端部N4及びN5までの距離は、先端部N4までのほうが短いので、先端部N4での信号の立ち上がりが先行し、わずかなスキーの後に、先端部N5での信号が立ち上がる。先端部N4, N5では、即、反射信号が重畠するので、ノードN2の如き階段状の波形にはならず、実質的に出力端子N1と同等の傾きで立ち上がり、立ち下がる。

【0011】

しかしながら、上記の先端部N4とN5の信号のスキーにより、その後に反射してきた信号との干渉により、図に示される通り、先端部N4, N5での信号にリングングが発生する。かかるリングングは、先端部N4, N5のメモリデバイス30(I)と14(A)の入力信号の振動の原因となり、誤動作の原因となる。

【0012】

上記の入力信号の振動の問題は、アドレス信号に限らず、ドライバデバイス12から共通に供給されるコントロール信号やクロック信号の場合も同様に発生する。即ち、複数のロジックデバイスが搭載されるモジュールの場合も、共通のコントロール信号やクロック信号に振動の問題が発生する。

【0013】

そこで、本発明の目的は、上記従来の問題点を解決し、マザーボード上の分岐

配線の長さの違いに伴う、分岐配線の先端部に配置される集積回路装置の入力信号の振動をなくすことができる集積回路装置モジュールを提供することにある。

【0014】

更に、本発明の別の目的は、分岐信号配線の先端部での反射信号どうしの干渉の問題を解決した集積回路装置モジュールを提供することにある。

【0015】

更に、本発明の別の目的は、分岐信号配線の先端部でのスキーをなくした集積回路装置モジュールを提供することにある。

【0016】

更に、本発明の別の目的は、分岐信号配線に発生する信号の干渉をなくした集積回路装置モジュールを提供することにある。

【0017】

【課題を解決するための手段】

上記の目的を達成する為に、本発明は、複数の集積回路装置を並列に搭載したモジュールにおいて、マザーボード上の分岐信号線の単位長さ当たりのインダクタンスを、分岐点から先端部までの長さが長い分岐信号線では小さく、同長さが短い分岐信号線では大きくして、各分岐信号線上の分岐点と先端部間での供給信号の伝搬時間を同等にすることを特徴とする。

【0018】

別の観点からすると、マザーボード上の長さの異なる分岐信号線に対して、分岐点から先端部までの長さが長い分岐信号線は、同長さが短い分岐信号線よりもその特性インピーダンスが小さく、その結果、各分岐信号線上の分岐点から先端部間での信号の伝搬時間を等しくすることを特徴とする。

【0019】

より具体的には、長い分岐信号線の幅を短い分岐信号線の幅よりも大きくする。その結果、長い分岐信号線の単位長さ当たりのインダクタンスが短い分岐信号線の単位長さ当たりのインダクタンスよりも小さくなる。単純に信号線の幅を大きくすると、そのインダクタンスは小さくなるが、同時にグランド等の電源配線層に対向して形成される分岐信号線の容量も大きくなる。しかし、分岐信号線に

は、かかる信号線容量よりも大きい複数の集積回路装置の端子容量も接続されている。したがって、信号線容量が増大しても、端子容量も合わせた全体の容量値の増大の割合はそれほどでもない。したがって、長い分岐信号線の幅を太くすることにより、そのインダクタンスを小さくして、分岐信号線の信号の伝搬時間を短縮することができる。もちろん、短い分岐信号線の幅を細くしてもよい。

【0020】

更に、別 の方法は、短い分岐信号線に対向して設けられるグランド等の電源配線層との対向面積を、かかる短い分岐信号線では小さくした構造にする。一方、長い分岐信号線は対向面積を大きくした構造とする。より具体的な構造は、短い分岐信号線に対向する電源配線層を間欠的に除去した構成とする。一方、長い分岐信号線に対向する電源配線層は連続的に形成された構成とする。

【0021】

かかる構成にすることで、短い分岐信号線における単位長さ当たりのインダクタンスが増大する。その結果、その短い分岐信号線における信号伝搬時間は長くなる。長い分岐信号線における信号伝搬遅延時間と短い分岐信号線における信号伝搬時間とを同等にすることで、反射信号による干渉を防止することができる。その結果、従来の先端部での信号の振動の問題を解決することができる。

【0022】

更に、別 の方法では、短い方の分岐信号線の一部を強磁性物質を含む材料で形成する。より具体的な例では、短い方の分岐信号線を、銅薄膜上に選択的にNi等の強磁性材料をメッキした構成とする。強磁性体を付加することにより、短い方の分岐配線のインダクタンスを大きくすることができる。

【0023】

更に、別 の方法では、分岐信号線の先端部を接続する構成にする。即ち、マザーボードの表面側と裏面側に形成される分岐信号線の先端部を接続して、ループ状の形状にすることで、分岐点から分離した分岐信号線は同じ長さのループ構造となる。その結果、同じ長さのループ上の信号線を伝搬してきた信号どうしが干渉しあうことがなくなり、従来の干渉によるリングングの問題を解決することができる。

【0024】

本発明によれば、マザーボード上に複数の集積回路装置が搭載される集積回路装置モジュールにおいて、

前記複数の集積回路が複数の群に分けられ、

前記マザーボードに設けられ、共通の分岐ノードからそれぞれの先端部まで延びて、前記集積回路装置の群それぞれに対して共通の信号を供給する複数の分岐信号線を有し、

前記複数の分岐信号線は、前記分岐ノードから先端部まで第1の距離を有する第1の分岐信号線と、前記分岐ノードから先端部まで前記第1の距離よりも短い第2の分岐信号線とを有し、前記第1の分岐信号線の単位長当たりのインダクタンスが前記第2の分岐信号線の単位長当たりのインダクタンスよりも小さいことを特徴とする。

【0025】

また、別の発明によれば、マザーボード上に複数の集積回路装置が搭載される集積回路装置モジュールにおいて、

前記複数の集積回路が複数の群に分けられ、

前記マザーボードに設けられ、共通の分岐ノードからそれぞれの先端部まで延びて、集積回路装置の群それぞれに対して共通の信号を供給する複数の分岐信号線を有し、

前記複数の分岐信号線は、前記分岐ノードから先端部まで第1の距離を有する第1の分岐信号線と、前記分岐ノードから先端部まで前記第1の距離よりも短い第2の分岐信号線とを有し、前記第1及び第2の分岐信号線の先端部が接続されて信号線ループを構成してなることを特徴とする。

【0026】

【発明の実施の形態】

以下、本発明の実施の形態の例について図面を参照して説明する。しかしながら、かかる実施の形態例が本発明の技術的範囲を限定するものではない。

【0027】

図4は、本発明の第1の実施の形態例の集積回路装置のモジュールの平面図で

ある。図1と同じ部分には同じ引用番号を付した。本実施の形態例では、モジュールのマザーボード10の表面側に形成される分岐信号線38, 40に対して、ノードN3から先端N4, N5までの距離が長い分岐信号線40の線幅を短い分岐信号線38よりも太くして、その単位長さ当たりのインダクタンス L_0 を小さくする。同様に、マザーボード10の裏面側に形成される分岐信号線42, 44(図中破線)に対しても、ノードN3から先端N6, N7までの距離が長い分岐信号線44の線幅を短い分岐信号線42よりも太くして、その単位長さ当たりのインダクタンス L_0 を小さくする。

【0028】

図5は、図4のマザーボードの分岐信号線の等価回路図である。図5には、マザーボード10の表面側の分岐信号線38, 40が例として示される。ドライバデバイス12の出力端子N1は、例えばトランジスタ50, 51からなるCMOSインバータ回路によりドライブされる。出力端子N1には、ダンピング抵抗R1が直列に接続され、ノードN2に接続される。ノードN2と分岐ノードN3との間には、共通信号線36が設けられ、分岐ノードN3から、分岐信号線38と40に分岐される。分岐信号線38, 40は、その信号線自体の持つインダクタンス L_{38} , L_{40} と、図示しないマザーボード10内に形成されたシールド用のグランド配線層(電源配線層)53との間の信号線容量 C_{38} , C_{40} とを有する。更に、分岐信号線38は、図4に示される通り、集積回路デバイス24, 26, 28, 30のそれぞれの入力端子124, 126, 128, 130に接続され、それぞれの端子容量 C_{124} , C_{126} , C_{128} , C_{130} を有する。同様に、分岐信号線40は、図4に示される通り、集積回路デバイス14, 16, 18, 20, 22のそれぞれの入力端子114, 116, 118, 120, 122に接続され、それぞれの端子容量 C_{114} , C_{116} , C_{118} , C_{120} , C_{122} を有する。

【0029】

そこで、分岐ノードN3から先端ノードまでの距離が長い分岐信号線40の信号線幅を、短い分岐信号線38の線幅よりも太くすることにより、分岐信号線40におけるインダクタンス L_{40} を小さくすることができる。

【0030】

図5に示される通り、信号線における伝搬時間Tdは、

【0031】

【数1】

$$Td = \sqrt{L_0 (C_0 + C_d)} \quad (1)$$

【0032】

で示される。また、信号線における特性インピーダンス Z_0 は、

【0033】

【数2】

$$Z_0 = \sqrt{\frac{L_0}{C_0 + C_d}} \quad (2)$$

【0034】

で示される。ここで、 L_0 は信号線のインダクタンス、 C_0 は信号線の容量 C_{38} 、 C_{40} 、 C_d は接続される入力端子容量($C_{124} + C_{126} + C_{128} + C_{130}$ 、または $C_{114} + C_{116} + C_{118} + C_{120} + C_{122}$)である。

【0035】

図4に示される通り、分岐信号線40の線幅を太くすることにより、高周波の信号に対するインダクタンス L_0 は、小さくなる。しかし、マザーボード内のグランド配線53との間の信号線容量 C_0 は、逆に大きくなる。但し、上記式(1)に示される通り、信号伝搬時間Tdの容量成分は、信号線容量 C_0 に加えて端子容量 C_d を有する。通常信号線容量 C_0 に対して端子容量 C_d のほうが大きな値を持つ。したがって、分岐信号線40の線幅を太くしてそのインダクタンス L_0 を小さくした場合、信号伝搬時間Tdの容量成分の増大の割合はそれほど大きくない。したがって、上記の実施の形態例の、分岐信号線40の線幅を太くすることにより、分岐信号線40における分岐ノードN3から先端N5までの信号伝搬時間Tdを短くして、分岐信号線38と同等にすることができる。

【0036】

図6は、分岐信号線の線幅に対する信号伝搬時間を示す図表である。この図表は、マザーボード10のグランド配線層53と分岐信号線との間の絶縁膜の誘電率が 4.4×10^{-11} F/m、膜厚が0.2 mmで、その分岐信号線38, 40を例えれば厚み60 μmの銅配線で構成した場合の例を示す。図表には、端子容量Cd、信号線容量 C_0 、インダクタンス L_0 、特性インピーダンス Z_0 （図5中参照）、端子容量Cdを考慮しない場合の信号伝搬時間Td、端子容量Cdを考慮した場合の信号伝搬時間Td1が示される。いずれも単位長さ当たりの値である。

【0037】

図6の図表には、分岐信号線の線幅を0.05 mm、0.10 mm、0.20 mm、0.40 mm及び0.80 mmとした時の、それぞれの値が示される。図表から明らかな通り、分岐信号線幅を太くすることにより、インダクタンス L_0 を小さくすることができ、端子容量を考慮した信号伝搬時間Td1の値がそれ小さくなることが理解される。

【0038】

この図表の例において、長さが約52 mmの分岐信号線38の線幅は0.10 mmが選択され、長さが約61 mmの分岐信号線40の線幅は0.40 mmが選択される。その結果、単位長さ当たりの信号伝搬時間Td1は、それぞれ12.22 ns/m、10.37 ns/mとなる。その結果、それぞれの分岐信号線38, 40での信号伝搬時間は、

$$52 \text{ mm} \times 12.22 \text{ ns/m} = 0.635 \text{ ns}$$

$$61 \text{ mm} \times 10.37 \text{ ns/m} = 0.633 \text{ ns}$$

と同程度の時間となることが確認される。

【0039】

図7は、図4の第1の実施の形態例において、上記の分岐信号線幅を採用したモジュールにおける、各ノードの信号波形図である。従来例の図2の信号波形図に対応する。また、図8は、図7の最初の立ち上がり時間の4 nsecの期間を時間軸に関して拡大した信号波形を示す図である。

【0040】

図7, 図8を、従来例の図2, 図3と対比すると明らかな通り、第1の実施の形態例では、先端ノードまでの長さが長い分岐信号線40の線幅を太くして、そのインダクタンス L_0 を小さくしたこと、両分岐信号線38, 40の信号伝搬時間が同等となった。その結果、先端部のノードN4, N5での信号波形が、ほぼ一致して、従来例の両信号のスキューがなくなった。そして、それに伴い、両先端部でのリンギングによる振動波形もなくなっている。また、ノードN3, N4, N5の信号は、ほぼ同時に振幅3Vの半分の電圧1.5Vに達している。即ち、それぞれの集積回路装置14~30のそれぞれの入力端子114~130において、立ち上がり信号及び立ち下がり信号は、ほぼ同時に電圧1.5Vに達する。このことは、9個の集積回路装置14~30に対して、ほぼ同時に入力回路の閾値電圧近傍の信号を供給することができることを意味する。

【0041】

図8に示される通り、図2の従来例と同様に、ダンピング抵抗R1によりノードN2の電圧は一端1.5Vで止まり、反射信号により再度3.0Vまで上昇している。

【0042】

[第2の実施の形態例]

図9は、第2の実施の形態例の集積回路装置のモジュールの平面図である。図9において、図1、図4と同じ部分には同じ引用番号を付した。第2の実施の形態例では、モジュールのマザーボード10内に形成されるグランド配線層53を、短い分岐信号線38、42に対向する領域をスリット状に除去した構成をとる。その結果、短い分岐信号線38, 42に対向するグランド配線層53の面積は、長い分岐信号線40, 44よりも小さくなり、短い分岐信号線38, 42における単位長さ当たりのインダクタンス L_0 を大きくすることができる。図9中、それぞれ短い方の分岐信号線38, 42に沿って、複数の丸が示されるのが、上記のグランド配線層をスリット状に除去した構成を示す。

【0043】

図10は、一般的なモジュールのマザーボード10の断面図である。この例で

は、マザーボード10は、絶縁層52、54の間に、グランド配線層53が形成され、絶縁層52の表面側に分岐信号線38が形成され、絶縁層54の表面側（マザーボードの裏面）に分岐信号線44が形成される。それぞれの分岐信号線38、44には、集積回路装置20、22、24等の端子が接続される。

【0044】

このグランド配線層53は、通常絶縁層52、54の間に全面に形成され、分岐信号線間のシールド効果を提供し、分岐信号線と共に実質的にストリップラインを構成する。その結果、高周波信号に対してインピーダンス整合された信号線構造を提供することができる。

【0045】

図11は、図9に示された第2の実施の形態例におけるマザーボード10の断面図である。また、図12は、その一部平面図である。図11及び図12から明らかな通り、第2の実施の形態例では、マザーボード10内のグランド配線層53に対して、短い分岐信号線38、44に対向する位置を、スリット状に除去する。図中60で示された部分が、除去された領域である。かかる構成により、短い分岐信号線38とグランド配線層53との間の絶縁層52の膜厚が実質的に厚くなることになる。一般に、ストリップライン構造において、その絶縁膜（或いは誘電膜）の膜厚を大きくすると、そのインダクタンス L_0 が大きくなることが知られている。また、それに伴い信号容量 C_0 は小さくなることが知られている。

【0046】

従って、上記の式（1）から明らかな通り、短い分岐信号線におけるインダクタンス L_0 の増大は、その信号伝搬時間の増大を招く。上記の第1の実施の形態例の場合と同様に、信号容量 C_0 は端子容量 C_d より小さいので、上記のグランド配線層53のスリット構造60により信号容量 C_0 が小さくなっても、インダクタンス L_0 の増大のほうが、信号伝搬時間 T_d の増大に寄与する。その結果、短い分岐信号線38、42の信号伝搬時間 T_d が大きくなり、適切なスリット構造を選択することにより、分岐ノードN3から分岐する4つの分岐信号線を伝搬する時間は、同程度になり、反射波どうしの干渉によるリンクギングは防止さ

れる。

【0047】

図13は、グランド配線層を一部除去した時の信号伝搬時間が遅くなることを概念的に示す図である。一般にストリップライン構造の場合、信号線38を伝搬した信号は、対向するグランド配線53に沿って帰還する。その場合、図9、図12の如くグランド配線層53を部分的に除去（領域60）すると、その分帰還路の迂回路が必要になる。このことからも、グランド配線層53を部分的に除去することにより、信号の伝搬時間が遅くなることが理解される。

【0048】

【第3の実施の形態例】

第3の実施の形態例では、図1に示された様に、それぞれの分岐信号線の線幅は同等であり、また、マザーボード内のグランド配線層も特別のスリット構造は有しない。但し、短い分岐信号線38、42は、銅等の導電性の薄膜で形成され、更に強磁性体であるニッケルNi等のメッキ層が形成される。その結果、この短い方の分岐信号線38、42は、強磁性体を有し、そのインダクタンス L_0 を大きくすることができる。その結果、短い分岐信号線における単位長さ当たりの信号伝搬時間 T_d1 は、長い分岐信号線よりも長くなり、両分岐信号線での分岐ノードN3から先端部までの伝搬時間は同程度となる。

【0049】

【第4の実施の形態例】

上記の第1～第3の実施の形態例では、分岐信号線38～44は全て先端部で開放されている構造を前提に考えた。従って、開放端での反射信号間の干渉の発生をなくす構造をそれぞれ備えた。第4の実施の形態例では、分岐信号線の先端部をそれぞれマザーボードの表面側と裏面側とで接続して、信号線ループの構成をとる。かかる信号線ループの構成をとることにより、開放端での反射信号の問題を考慮する必要はない。但し、分岐ノードN3から2つに分かれる信号線ループでの信号伝搬時間を同程度にして、信号線ループを伝搬して戻ってきた信号が、分岐ノードN3で干渉しないようにする。即ち、同じ材料で同じ構造であるならば、両信号線ループの長さを同じにすることが必要である。

【0050】

図14は、第4の実施の形態例のマザーボードの平面図である。図4, 9と同じ部分には同じ引用番号を付している。第4の実施の形態例では、分岐ノードN3から下側に分岐する表面側の分岐信号線38と裏面側の分岐信号線44とを先端部で接続する。即ち、ノードN4とノードN7との間を接続する追加の配線70aとスルーホール70bとを形成することにより、分岐信号線38, 44とで、第1の信号線ループ70を形成する。同様に、分岐ノードN3から上側に分岐する表面側の分岐信号線40と裏面側の分岐信号線42とを先端部で接続する。即ち、ノードN5とノードN6との間を接続する追加の配線72aとスルーホール72bとを形成することにより、分岐信号線40, 42とで、第2の信号線ループ72を形成する。両信号線ループ70, 72は、分岐ノードN3に対して対称形であり、同じ長さである。

【0051】

図15は、図14の信号線の等価回路図である。図5と同じ部分には同じ引用番号を付した。図15に示される通り、分岐ノードN3の左側に、分岐信号線38, 追加の信号線70a及びスルーホール70bと分岐信号線44により、第1の信号線ループ70が形成される。同様に、分岐ノードN3の右側に、分岐信号線40, 追加の信号線72a及びスルーホール72bと分岐信号線42により、第2の信号線ループ72が形成される。そして、両信号線ループ70, 72は同じ特性インピーダンスであり同じ長さである。従って、分岐ノードN3に供給された信号は、それぞれの信号線ループ70, 72を時計回り及び反時計回りに伝搬し、それぞれのノードN4～N7を通過して、再度分岐ノードN3に戻る。即ち、先端ノードでの反射波の発生はない。そして、その伝搬時間は等しいので、ノードN3においてループを伝搬してきた信号どうしが干渉しあうことはない。その結果、ノードN4～N7でのリンクによる振動の問題は解決される。

【0052】

【発明の効果】

以上説明した通り、本発明によれば、複数の集積回路装置をマザーボード上に並列に搭載したモジュールにおいて、それぞれの集積回路装置に共通に信号を供

給する為の複数の分岐信号線での分岐点から先端部までの信号伝搬時間を同程度にしたので、先端部で反射する信号同士による干渉がなくなり、リングによる信号の振動を防止することができる。

【0053】

本発明によれば、複数の集積回路装置をマザーボード上に並列に搭載したモジュールにおいて、それぞれの集積回路装置に共通に信号を供給する為の複数の分岐信号線に関し、分岐点から先端までの長さが長い分岐信号線の単位長さ当たりのインダクタンスを短い分岐信号線よりも小さくしたので、両分岐信号線の伝搬時間を同程度にして、位相ずれした反射波の干渉によるリングの現象をなくすことができる。

【0054】

更に、本発明によれば、複数の集積回路装置をマザーボード上に並列に搭載したモジュールにおいて、それぞれの集積回路装置に共通に信号を供給する為の複数の分岐信号線を先端部で接続して、信号線ループ構造とした。その結果、先端部での信号の反射がなくなり、且つ信号線ループの長さを同程度にしてループを帰還してくる信号間の干渉をなくしたので、従来のリングによる信号の振動をなくすことができる。

【図面の簡単な説明】

【図1】

半導体メモリモジュールの平面図と一部信号線を示す図である。

【図2】

図1のモジュールにおける各ノードN1～N5でのシミュレーションによる信号波形を示す図である。

【図3】

図2の最初の4nsecの期間を時間軸に関して拡大した信号波形を示す図である。

【図4】

第1の実施の形態例の集積回路装置のモジュールの平面図である。

【図5】

図4のマザーボードの分岐信号線の等価回路図である。

【図6】

分岐信号線の線幅に対する信号伝搬時間を示す図表である。

【図7】

第1の実施の形態例における、各ノードの信号波形図である。

【図8】

図7の最初の立ち上がり時間の4 nsecの期間を時間軸に関して拡大した信号波形を示す図である。

【図9】

第2の実施の形態例の集積回路装置のモジュールの平面図である。

【図10】

一般的なモジュールのマザーボード10の断面図である。

【図11】

第2の実施の形態例におけるマザーボード10の断面図である。

【図12】

第2の実施の形態例におけるマザーボード10の一部平面図である。

【図13】

グランド配線層を一部除去した時の信号伝搬時間が遅くなることを概念的に示す図である。

【図14】

第4の実施の形態例のマザーボードの平面図である。

【図15】

図14の信号線の等価回路図である。

【符号の説明】

10	マザーボード
12	ドライバデバイス
14～30	集積回路装置
38～44	分岐信号線
53	電源配線層、グランド配線層

特平10-007771

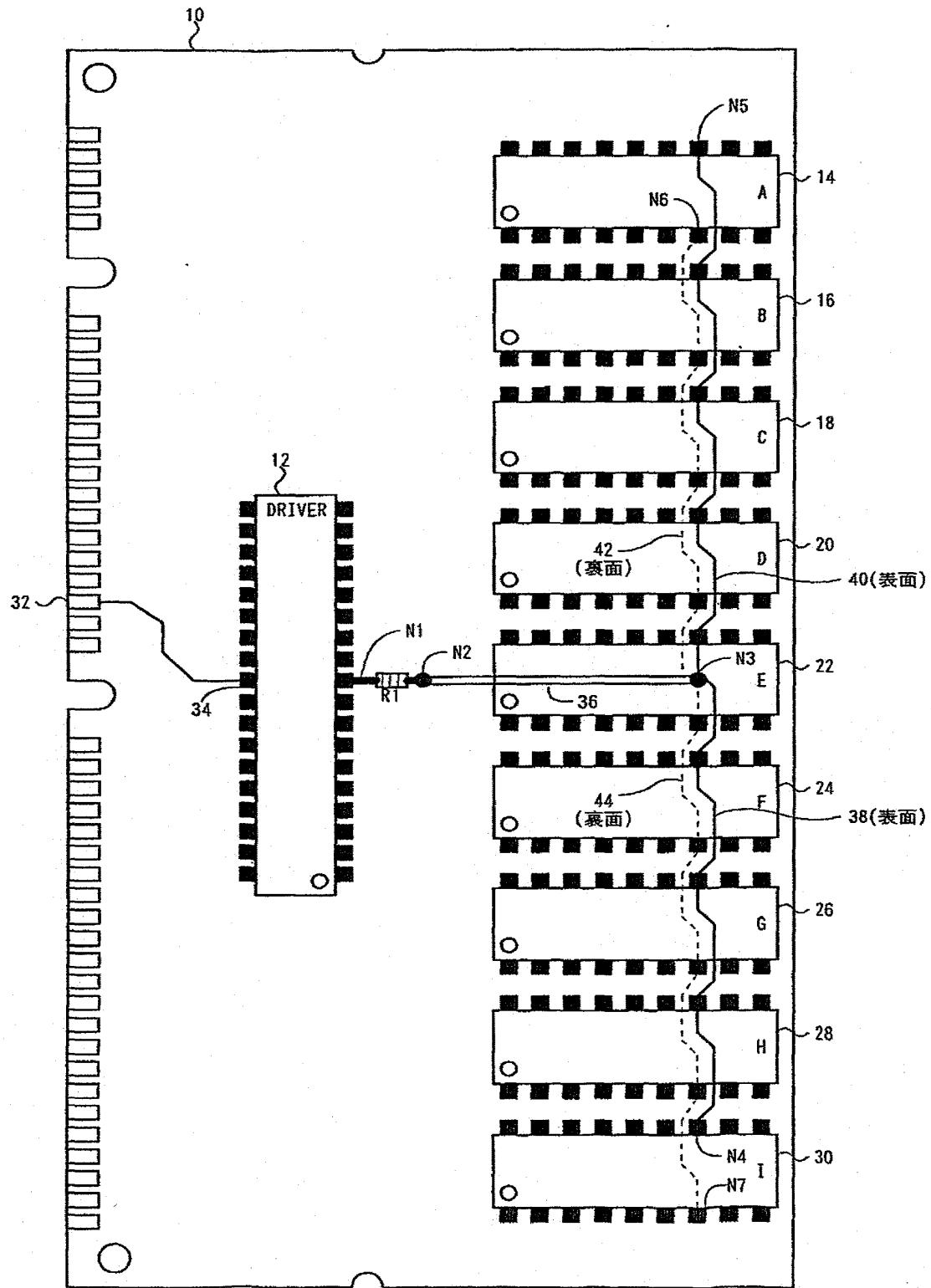
N 1 出力端子

N 3 分岐ノード

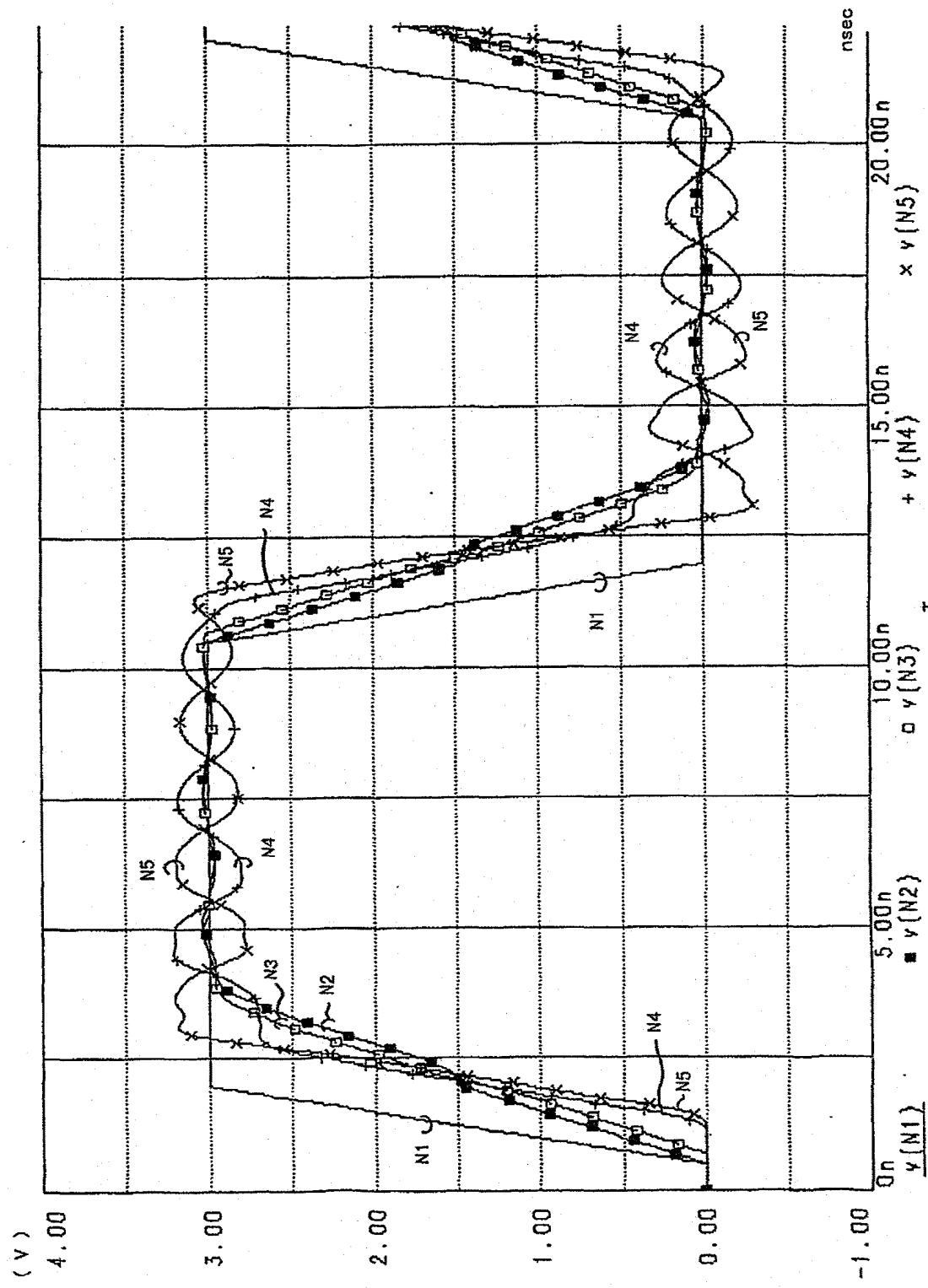
N 4 ~ N 7 先端部

【書類名】 図面

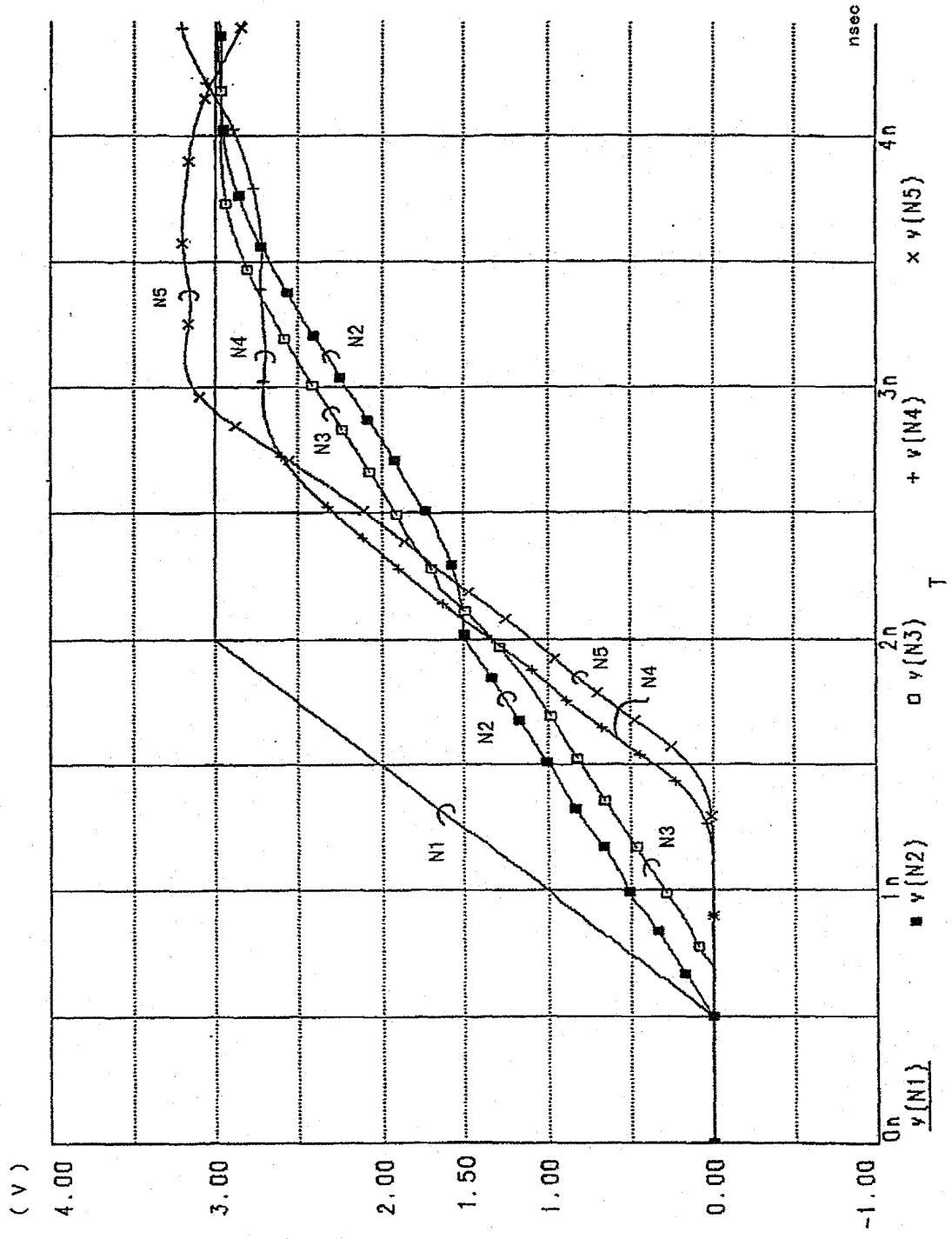
【図 1】



【図2】

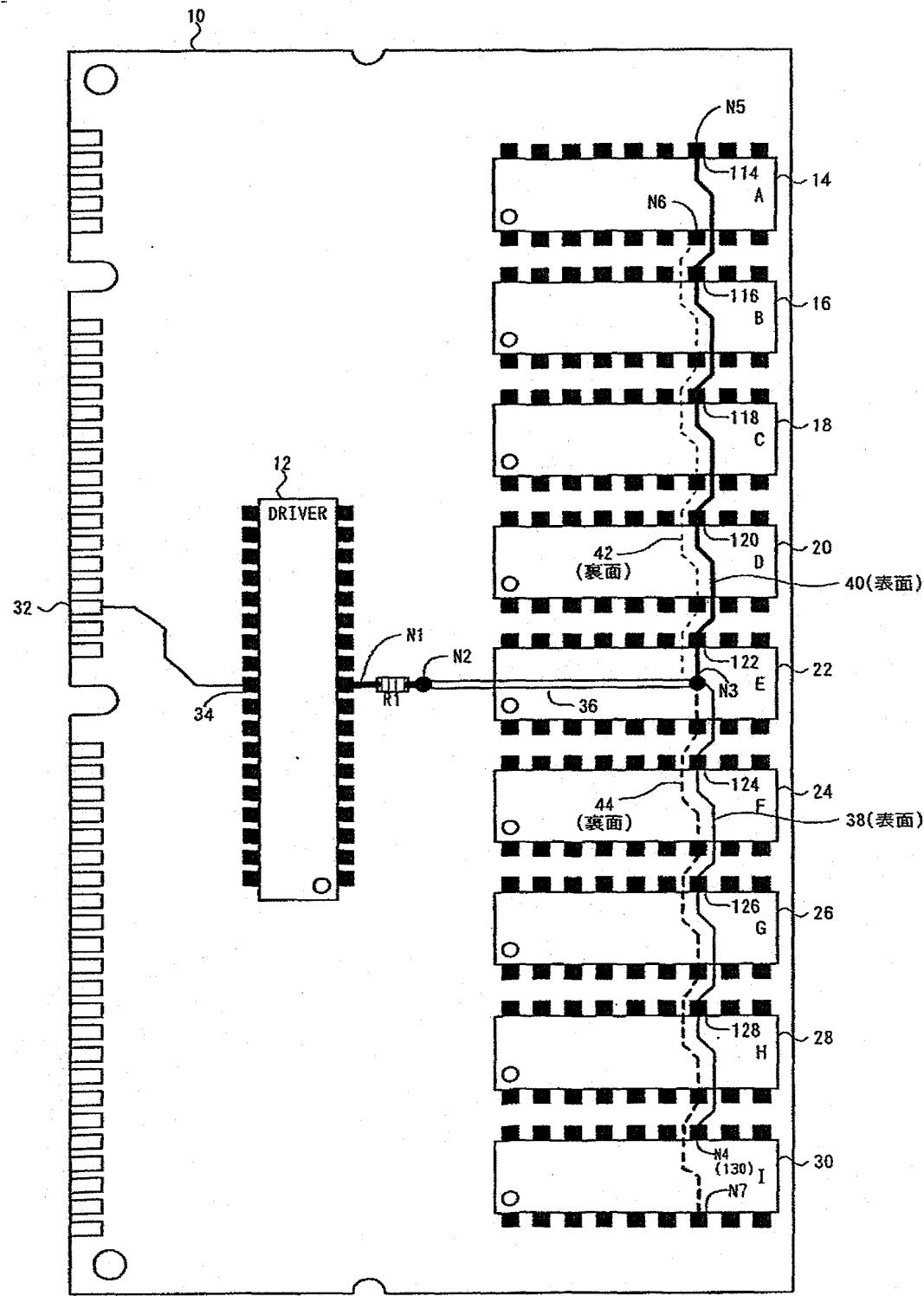


【図3】



【図4】

本発明の第1の実施の形態例

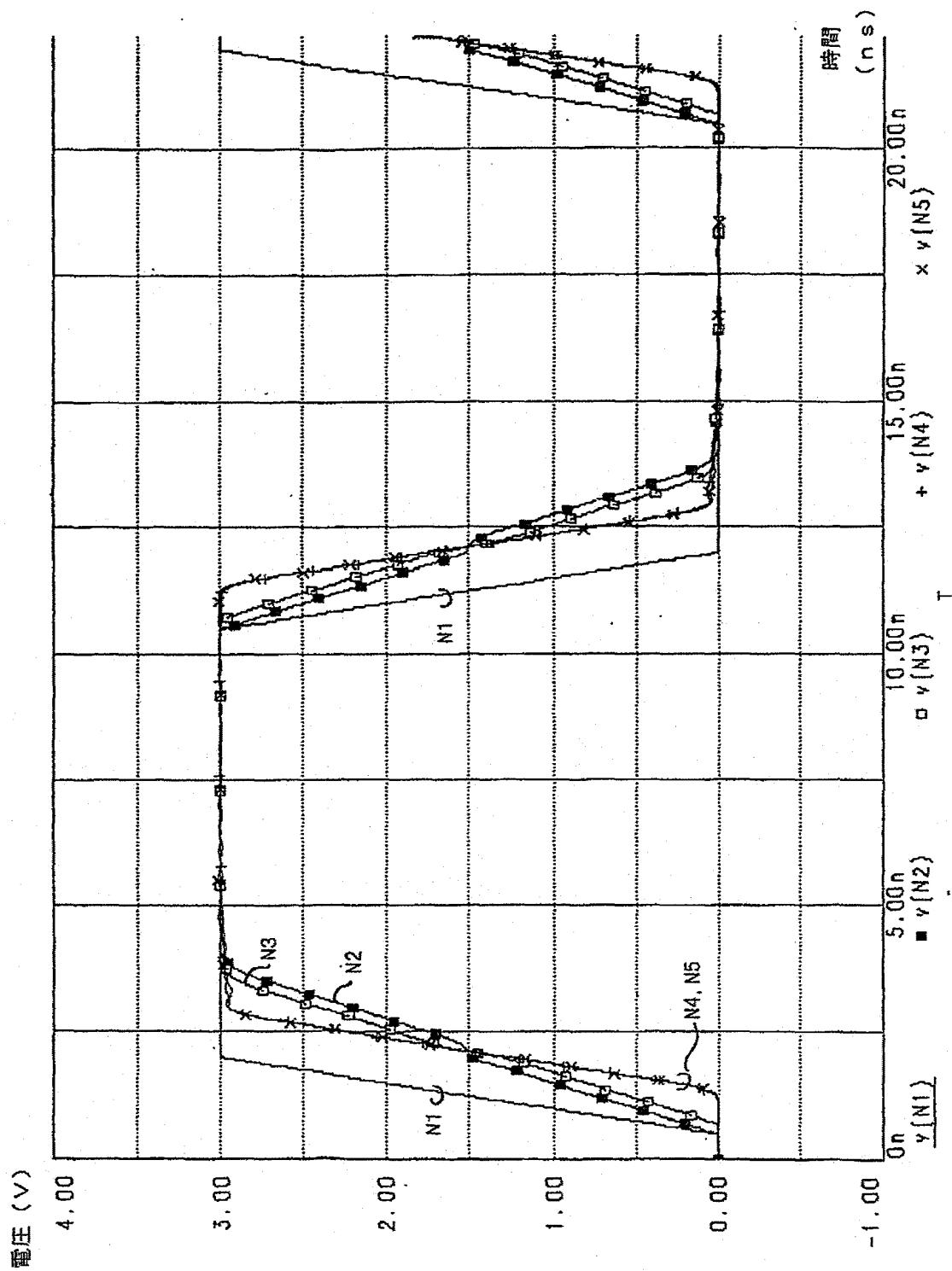


【図6】

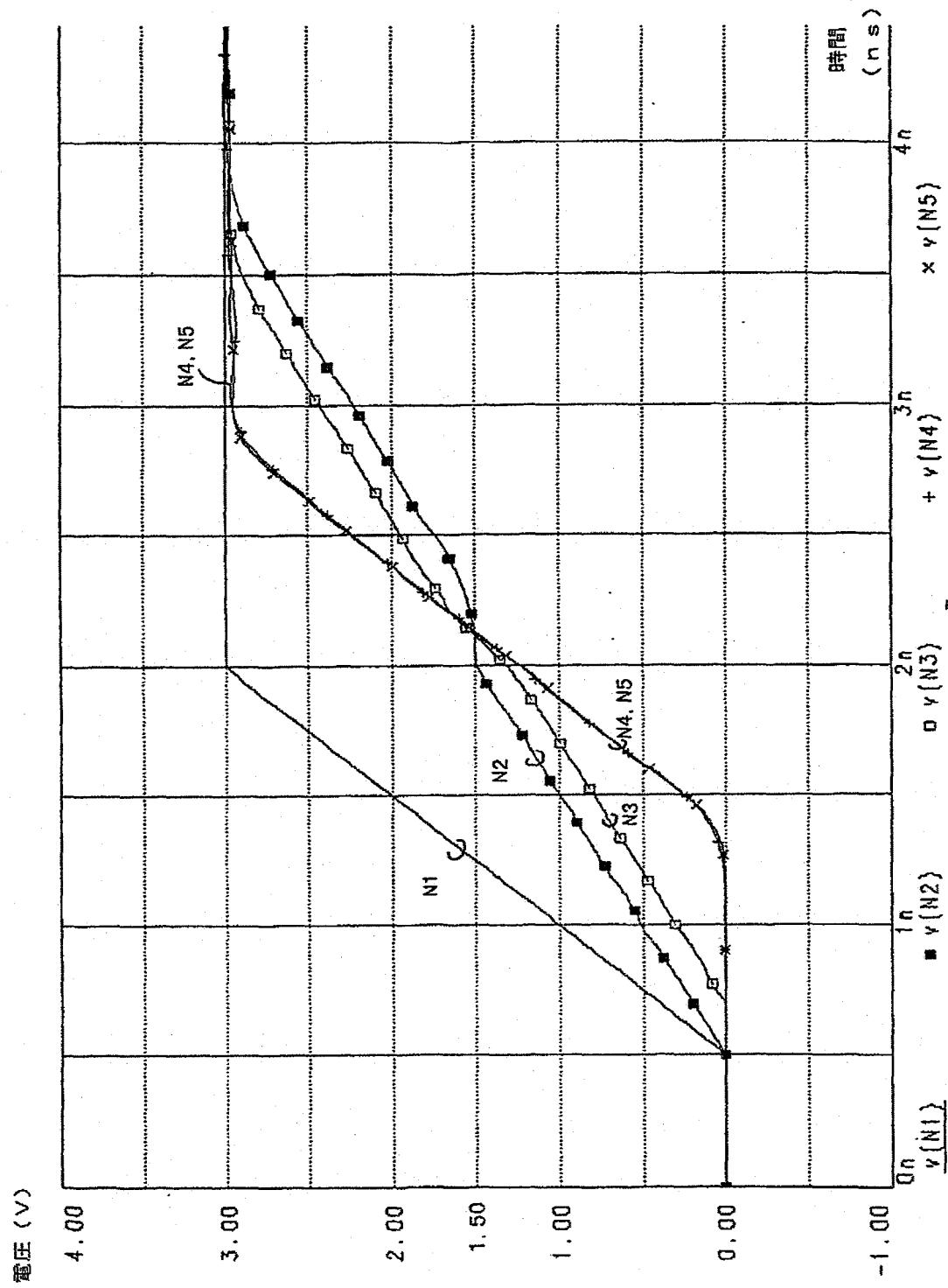
分歧信号線幅に対する信号伝搬時間

分歧信号線幅	C_d pF/m	C_o pF/m	L_o nH/m	Z_o Ω	T_d ns/m	T_{d1} ns/m
0.05mm	250	71	520	85.6	6.08	12.92
0.10mm	250	82	450	74.1	6.07	12.22
0.20mm	250	109	356	57.1	6.23	11.31
0.40mm	250	159	263	40.7	6.47	10.37
0.80mm	250	252	173	26.2	6.60	9.32

【図7】

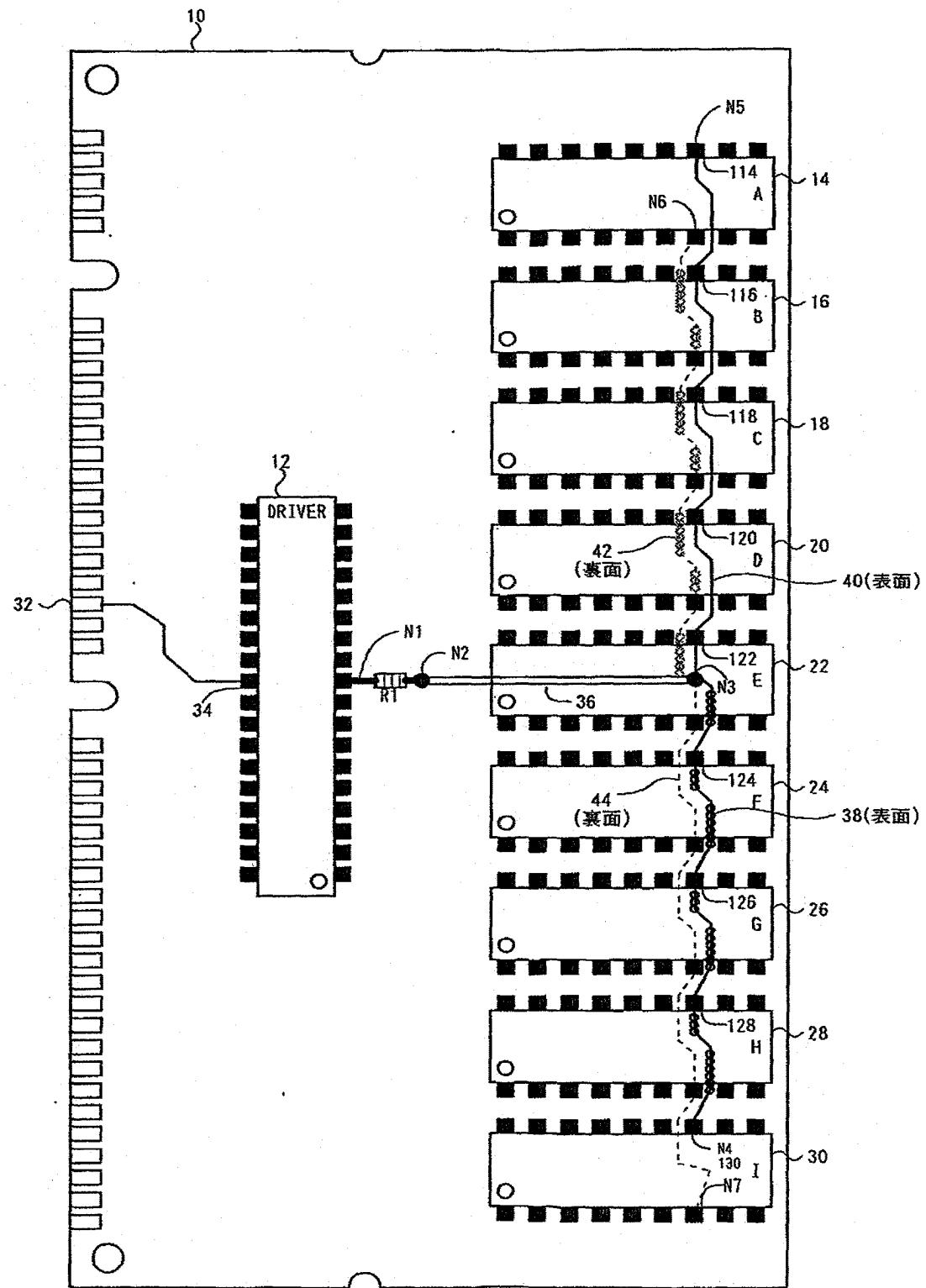


【図8】

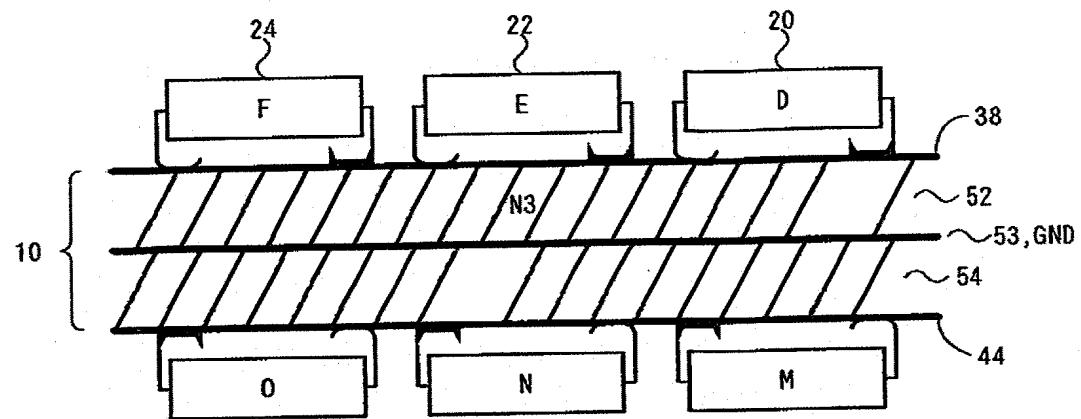


【図9】

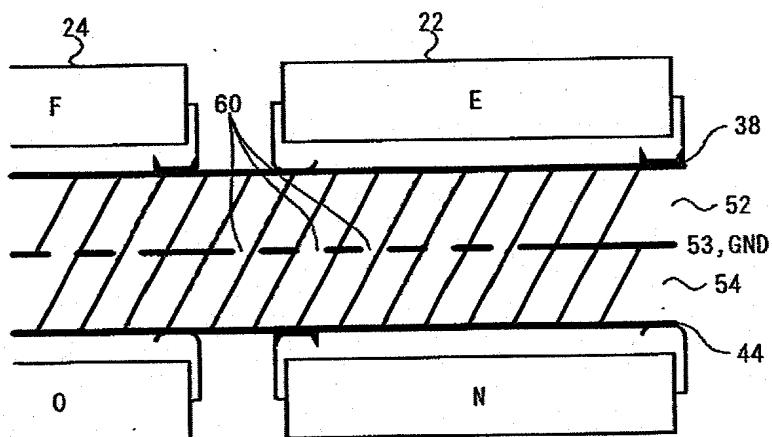
第2の実施の形態例



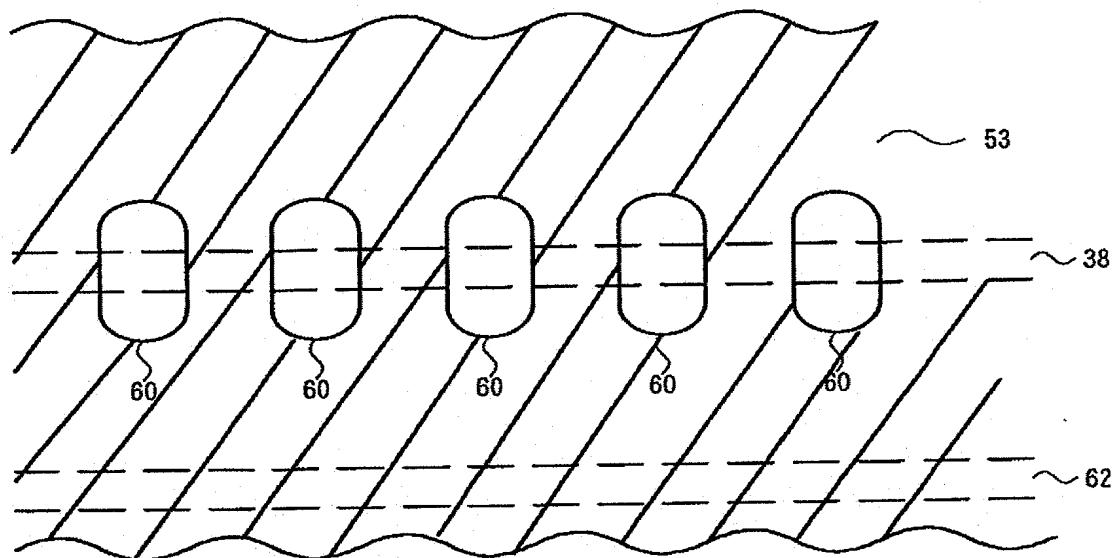
【図10】



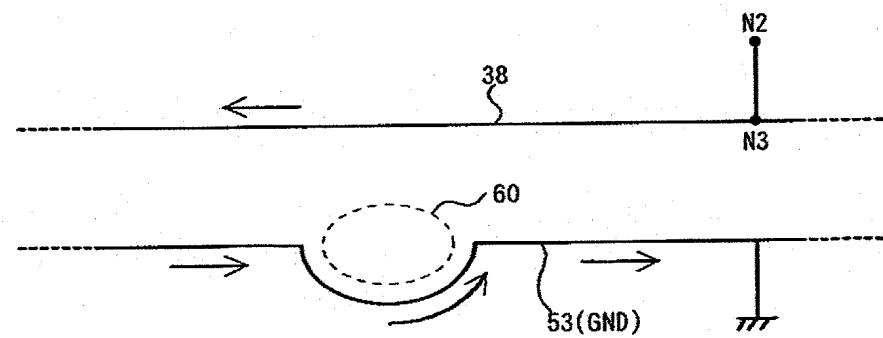
【図11】



【図12】

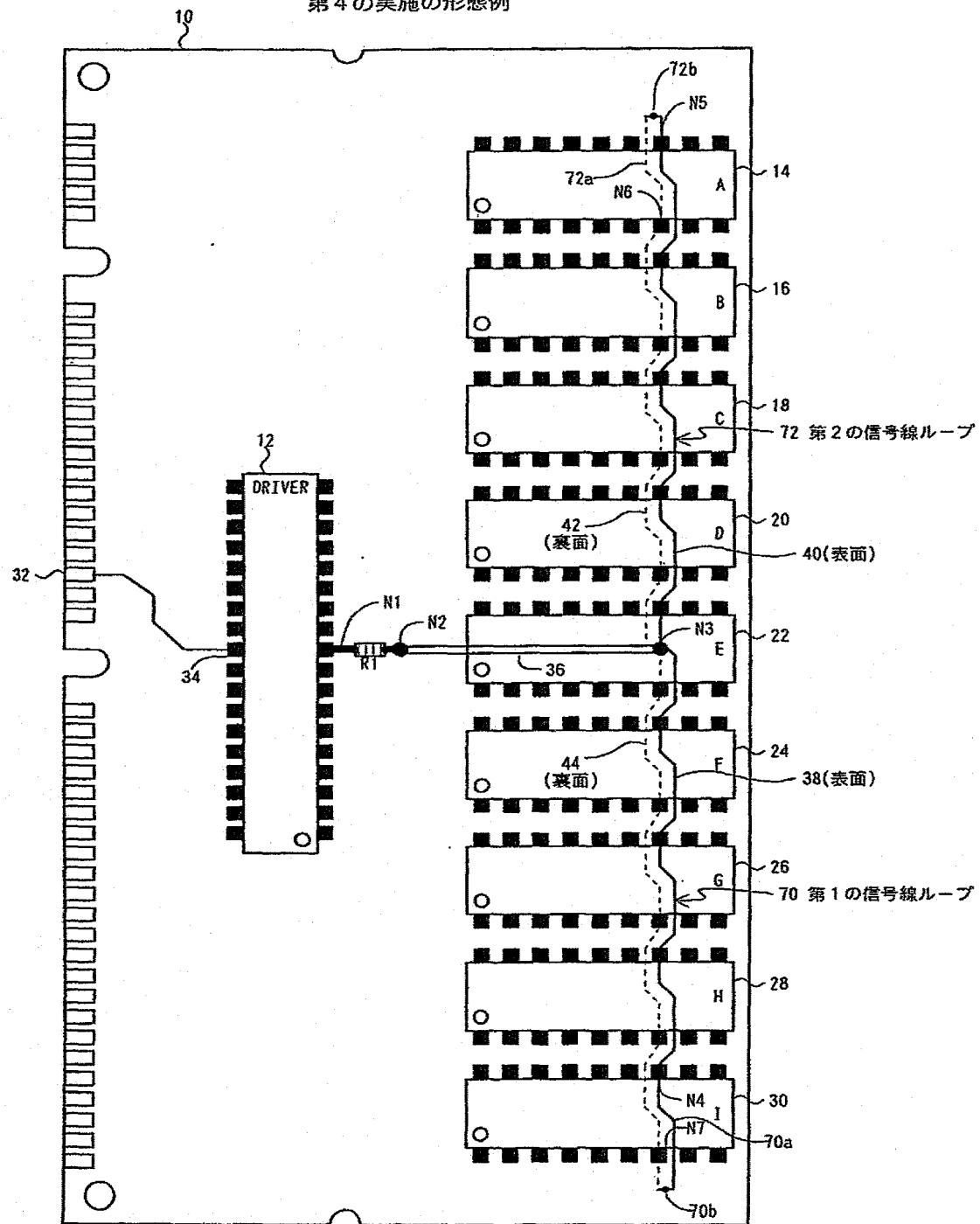


【図13】



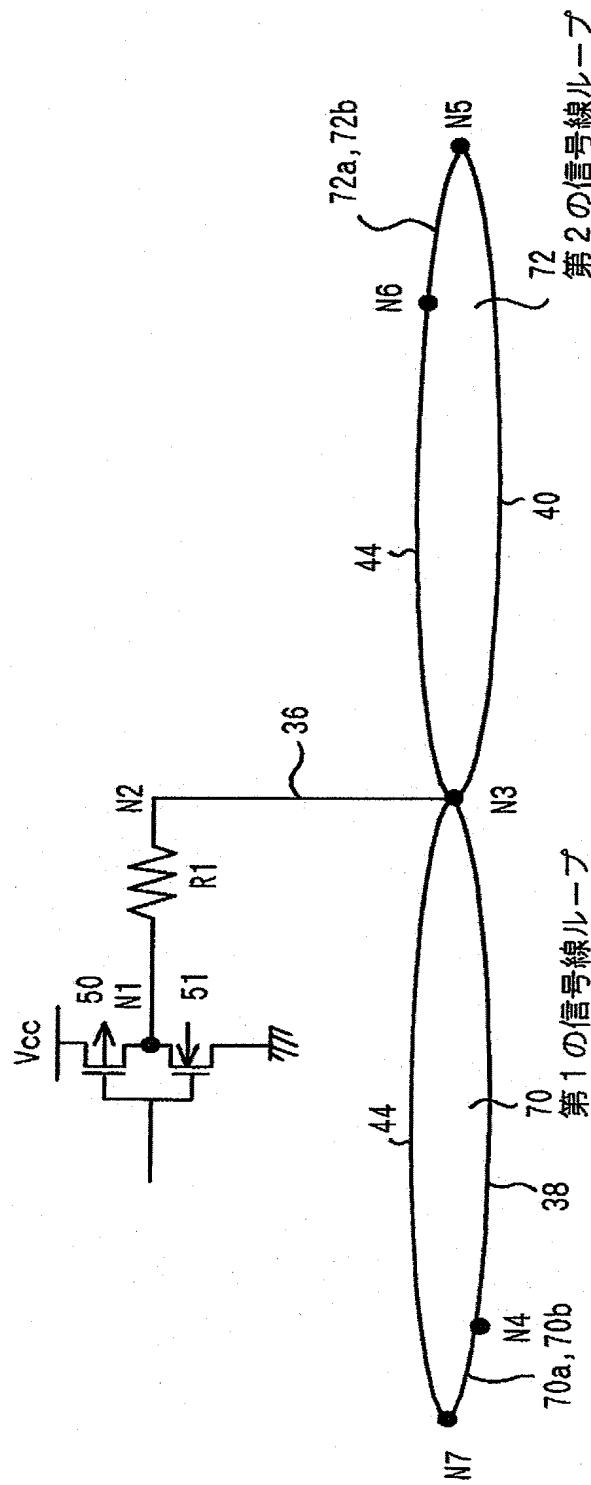
【図14】

第4の実施の形態例



【図15】

信号線の等価回路



【書類名】

要約書

【要約】

【課題】複数の集積回路装置を搭載したモジュールにおける信号供給用の分岐信号線上での信号の干渉によるリンクギングを防止する。

【解決手段】本発明は、複数の集積回路装置を並列に搭載したモジュールにおいて、マザーボード上の分岐信号線の単位長さ当たりのインダクタンスを、分岐点から先端部までの長さが長い分岐信号線では小さく、同長さが短い分岐信号線では大きくして、各分岐信号線上の分岐点と先端部間での供給信号の伝搬時間を同等にすることを特徴とする。

【選択図】図4

【書類名】 職権訂正データ
【訂正書類】 特許願

<認定情報・付加情報>

【特許出願人】

【識別番号】 000005223

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号

【氏名又は名称】 富士通株式会社

【代理人】 申請人

【識別番号】 100094525

【住所又は居所】 神奈川県横浜市港北区新横浜3-9-5 第三東昇

ビル3階 林・土井 国際特許事務所

土井 健二

【代理人】

【識別番号】 100094514

【住所又は居所】 神奈川県横浜市港北区新横浜3-9-5 第三東昇

ビル3階 林・土井 国際特許事務所

林 恒徳

出願人履歴情報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日
[変更理由] 住所変更
住 所 神奈川県川崎市中原区上小田中4丁目1番1号
氏 名 富士通株式会社